



(19)

(11) Publication number: 10027131 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 08179721

(51) Intl. Cl.: G06F 12/06

(22) Application date: 10.07.96

(30) Priority:

(43) Date of application publication: 27.01.98

(84) Designated contracting states:

(71) Applicant: NEC CORP

(72) Inventor: MATSUKAWA YOSHIKI

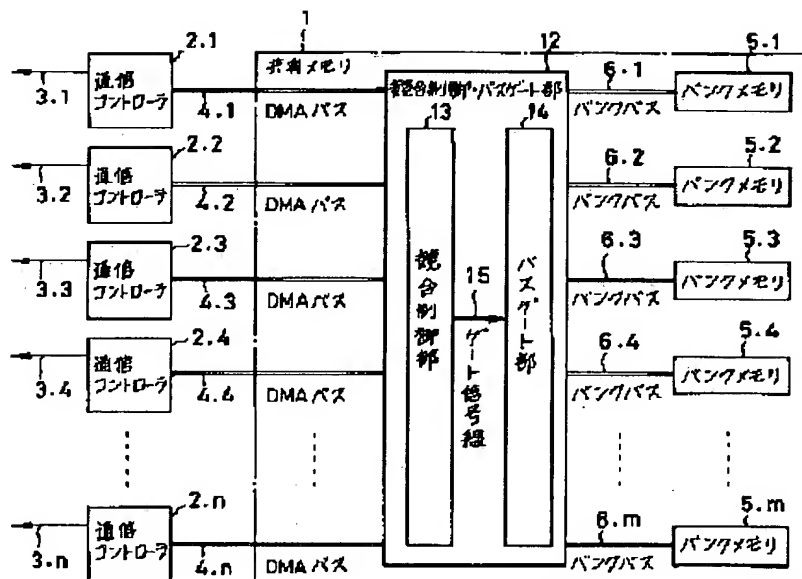
(74) Representative:

## (54) MEMORY DEVICE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the waiting frequency for accesses to a shared memory in communication controllers by allowing banks other than a certain bank being used in the shared memory to be accessed, setting up memory spaces mainly accessed by the communication controllers by banks and combining the set memory spaces.

**SOLUTION:** Memory areas to be mainly accessed are previously set up in communication controllers 2.1 to 2.n correspondingly to bank memories 5.1 to 5.m. A competition control/bus gate part 12 connects direct memory access(DMA) buses 4.1 to 4.n to bank buses 6.1 to 6.m and the bank memories 5.1 to 5.m except a request to the same bank memory. At the time of a burst access, the DMA buses 4.1 to 4.n are continuously connected to the bank buses 6.1 to 6.m and the bank memories 5.1 to 5.m until the end of the burst access, so that high speed accessing can be attained.



COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-27131

(43)公開日 平成10年(1998) 1月27日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 12/06

識別記号

5 5 0

庁内整理番号

F I

G 0 6 F 12/06

技術表示箇所

5 5 0 A

審査請求 有 請求項の数5 OL (全 6 頁)

(21)出願番号 特願平8-179721

(22)出願日 平成8年(1996) 7月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松川 良樹

東京都港区芝五丁目7番1号 日本電気株式会社内

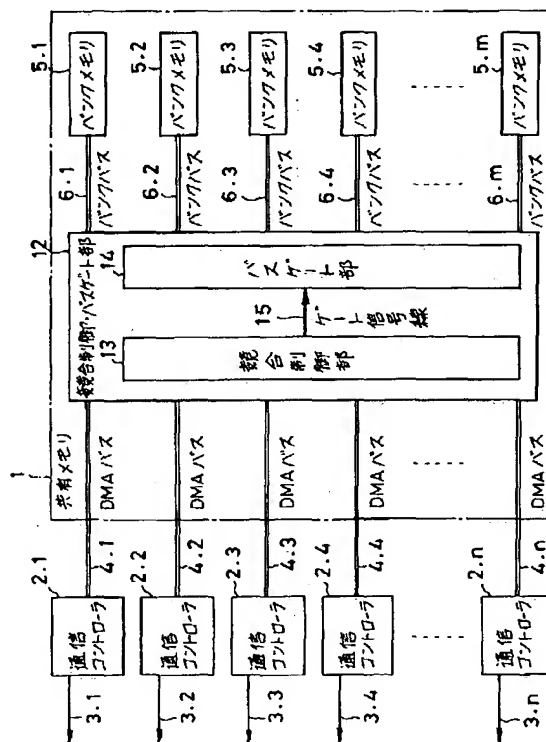
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 メモリ装置

(57)【要約】

【課題】 共有メモリのあるバンクが使用中でも他のバンクにはアクセスを可能にし、通信コントローラが主にアクセスするメモリ空間をバンク別に設定する組み合わせにより、通信コントローラが共有メモリアクセスで待たされる頻度を減らす。

【解決手段】 通信コントローラ4. 1～4. nに、主にアクセスするメモリの領域をバンクメモリ5. 1～5. m別になるように予め設定する。競合制御・バスゲート部12は同じバンクメモリへのリクエストでない限り、DMAバス4. 1～4. n, バンクバス6. 1～6. mとバンクメモリ5. 1～5. mとを接続する。また、バーストアクセス時には、バーストアクセスが終了するまで、DMAバス、バンクバスとバンクメモリとを接続し続けることにより、高速アクセスを可能とする。



## 【特許請求の範囲】

【請求項1】 複数の通信制御部に対して共通に設けられこれ等通信制御部からメモリアクセス可能なメモリ装置であって、複数のメモリバンクと、これ等メモリバンク毎に前記通信制御部の各々からのメモリアクセス要求の競合制御をなすバンク競合制御手段とを含むことを特徴とするメモリ装置。

【請求項2】 前記通信制御部の各々がアクセスする主なアドレス空間を前記メモリバンク別に予め割当ててようにしたことを特徴とする請求項1記載のメモリ装置。

【請求項3】 前記競合制御手段は、前記通信制御部の1つによる連続した複数ワードデータのアクセス要求に応答して当該アクセスが終了するまで前記1つの通信制御部に対してアクセス権を与え続けるよう構成されていることを特徴とする請求項1または2記載のメモリ装置。

【請求項4】 前記競合制御手段は、メモリアクセス要求に応答してこのメモリアクセス要求のアクセスアドレスに対応するメモリバンクへのアクセス権を許可するように構成されていることを特徴とする請求項1〜3いずれか記載のメモリ装置。

【請求項5】 前記競合制御手段は、複数のメモリアクセス要求に応答してこれ等メモリアクセス要求の各アクセスアドレスに応じて競合制御をなすよう構成されていることを特徴とする請求項1〜4いずれか記載のメモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はメモリ装置に関し、特にパケット型データを送受信しメモリへDMA（ダイレクトメモリアクセス）転送する複数の通信制御部からのDMA転送要求に対して競合制御をなす共有メモリ装置に関するものである。

## 【0002】

【従来の技術】 共有メモリに対して複数のメモリユーザが同時にアクセス要求を行った場合におけるアクセス競合制御の技術としては、例えば特開平2-157950号公報に開示の技術がある。この特開平2-157950号公報においては、複数のメモリユーザが共有メモリに対して同時にアクセス要求を行った場合には、予め付与されている優先順位に従って競合制御をなす技術が示されている。

【0003】 また、従来、通信コントローラが共有メモリに対してアクセスする場合には、通信コントローラが出力するアドレスを基に、1ワード毎にアクセスするメモリ空間を決定し、この1ワード毎に競合制御が行われるのが一般的である。

## 【0004】

【発明が解決しようとする課題】 第1の問題点は、複数の通信コントローラが供給メモリに同時にアクセスを要

求した場合、1つの通信コントローラのみがアクセスでき、他の通信コントローラはアクセスを待たされることである。

【0005】 その理由は、従来の共有メモリではバンク別に競合制御する場合に、バンク別に通信コントローラが主にアクセスするアドレス空間を分けていないためである。

【0006】 第2の問題点は、従来の共有メモリでは1ワード毎にアクセスするメモリ空間を決定、競合制御するので、アクセスに時間がかかることである。

【0007】 その理由は、通信コントローラ特有の一度に数ワード隣接するアドレスにデータ転送をするいわゆるバースト転送が考慮されていないためである。

## 【0008】

【課題を解決するための手段】 本発明によれば、複数の通信制御部に対して共通に設けられこれ等通信制御部からメモリアクセス可能なメモリ装置であって、複数のメモリバンクと、これ等メモリバンク毎に前記通信制御部の各々からのメモリアクセス要求の競合制御をなすバンク競合制御手段とを含むことを特徴とするメモリ装置が得られる。

【0009】 そして、前記通信制御部の各々がアクセスする主なアドレス空間を前記メモリバンク別に予め割当ててようにしたことを特徴としている。

【0010】 また、前記競合制御手段は、前記通信制御部の1つによる連続した複数ワードデータのアクセス要求に応答して当該アクセスが終了するまで前記1つの通信制御部に対してアクセス権を与え続けるよう構成されていることを特徴としている。

【0011】 更に、前記競合制御手段は、メモリアクセス要求に応答してこのメモリアクセス要求のアクセスアドレスに対応するメモリバンクへのアクセス権を許可するように構成されていることを特徴としており、更にはまた、前記競合制御手段は、複数のメモリアクセス要求に応答してこれ等メモリアクセス要求の各アクセスアドレスに応じて競合制御をなすよう構成されていることを特徴としている。

## 【0012】

【発明の実施の形態】 本発明の作用について述べる。複数の通信制御部からの共有メモリに対するアクセス要求について、メモリバンク毎にアクセス競合制御を行うことで、ある通信制御部が共有メモリのあるバンクにアクセス中でも、他の通信制御部は他のバンクへアクセス可能となる。

【0013】 特に、通信制御部の各々がアクセスする主なアドレス空間をバンク別に予め割当ててようにしておくことにより、複数の通信制御部が同時に共有メモリへのアクセスする機会を増やすことが可能である。

【0014】 以下に本発明の実施例につき図面を用いて説明する。

## 3

【0015】図1は本発明の実施例のブロック図である。図1を参照すると、通信コントローラ2. 1~2. nは通信回線3. 1~3. nと共有メモリ1との間で、パケット型データの送受信を行う。ここで、nは2以上の整数を意味する。通信コントローラ2. 1~2. nと共有メモリ1とは、DMAバス4. 1~4. nを介して接続されており、アドレス、データ及びDMAアクセス要求等の制御信号のやりとりを行っている。

【0016】競合制御・バスゲート部12は競合制御部13、バスゲート部14、ゲート信号線15からなっている。この部分12はDMAバス4. 1~4. nの競合制御を行ってDMAバスの選択を行い、接続すべきバンクバス6. 1~6. mと接続する。ここで、mは2以上の整数であり、一般的に $m \leq n$ である。

【0017】バンクメモリ5. 1~5. mは競合制御・バスゲート部12とバンクバス6. 1~6. mを介して接続されており、アドレス、データ、制御信号のやりとりを行っている。バンクメモリ5. 1~5. mは通信コントローラ2. 1~2. nが通信回線3. 1~3. nで通信するためのパケット型データを格納する。

【0018】次に競合制御・バスゲート部12の詳細な構成について説明する。図2は競合制御・バスゲート部12の構成を示すブロック図である。まず、競合制御部13の構成から説明する。n本のDMAバス4. 1~4. nにはバスリクエスト生成部131. 1~131. nが夫々接続されており、DMAバスのアドレスからバスリクエスト信号34を生成し、バスリクエスト選択部35に送る。バスリクエスト信号34には、接続を要求するバンクメモリ5. 1~5. mを示す信号が入っているものとする。

【0019】バスリクエスト選択部35はバスリクエスト信号34からバスリクエストを選択し、許可するバスリクエストにはバスリクエスト許可信号36をバスリクエスト生成部131. 1~131. nに返す。また、許可した接続先のバンクバス6. 1~6. mを接続するゲート信号15を生成する。

【0020】バスゲート部14の各ゲート141. 1~141. m, 142. 1~142. m, ..., 14m. 1~14m. mは通常対応するバスを閉じているが、ゲート信号15を受信するとバスを開ける。よって、接続を許可された通信コントローラ2. 1~2. nは、DMAバス4. 1~4. nとバンクバス6. 1~6. mとがバンクメモリ5. 1~5. mに接続、アクセスすることができる。

【0021】次に、バスリクエスト選択部35の選択の論理について説明する。図3はバスリクエストの選択からバスリクエスト許可信号36、ゲート信号15の出力までを示したフローチャートである。

【0022】ステップ46において、バスリクエスト信号34の中に示される、アクセスを要求するバンクメモ

## 4

リ5. 1~5. mがバスリクエスト間で競合していないか確認する。競合していればステップ47に進み、リクエストの優先順位を決めて競合制御し、許可するバスリクエストに対し、バスリクエスト許可信号36を出力する。

【0023】また、競合しないならば、ステップ48に進み、バスリクエストを出したバスリクエスト生成部131. 1~131. mに対してバスリクエスト許可信号36を出力する。この競合しない場合のバスリクエスト許可信号はいくつでも出力することができる。

【0024】バスリクエスト許可信号36を出力後はステップ49に進み、バスリクエスト許可信号とバスリクエスト信号34から、どのゲート信号を出力するかを決定して出力する。これ等の論理により、バンクメモリ5. 1~5. mに接続が許可されるDMAバス4. 1~4. nとバンクバス6. 1~6. mとが決定される。

【0025】次に、図4を参照して、バンクメモリ5. 1~5. mとアドレスの関係について説明する。図4はバンクメモリ5. 1~5. mとアドレスの関係を示すメモリマップであり、バンクメモリ同士の互いのアドレスが重ならないように配置してある。

【0026】一例を示せば、バンクメモリ5. 1とこのバンクメモリ5. 1のアドレス空間54. 1のアドレスとは一致しており、ここのアドレスをアクセスすればバンクメモリ5. 1にアクセスできることを示す。

【0027】次に、本発明の共有メモリの動作について、上述した各図を参照して説明する。

【0028】図1の通信コントローラ2. 1~2. nは、通信回線3. 1~3. nのパケット型データを共有メモリ1を介して相互に送受信している。これ等通信コントローラには、パケット型データの送受信のため主にアクセスするメモリの領域を、バンクメモリ5. 1~5. m別に夫々分けられている。この場合、通信コントローラ2. 1~2. nに対して、主にアクセスするアドレスを図4に示すアドレスマップのアドレスに設定されているものとする。

【0029】通信の負荷が高くなると、通信コントローラ2. 1~2. nが共有メモリ1に同時にアクセスする頻度は高くなり、図2のバスリクエスト選択部35に対するバスリクエスト信号34も同時発生する頻度が高くなる。アクセスするバンクメモリが競合した場合、バスリクエスト選択部35は競合制御を行い、許可するバスリクエストにのみバスリクエスト許可信号36をバスリクエスト生成部に返す。バスリクエスト許可信号をもらえなかったバスリクエスト生成部は、DMAバス4. 1~4. nの制御信号を利用して通信コントローラ2. 1~2. nのアクセスを待たせる。

【0030】しかし、バスリクエスト選択部35は同じバンクメモリへのリクエストでない限り、バスリクエスト許可信号を出し、また、ゲート信号を出力して、バス

## 5

ゲートのゲートを開け、メモリにアクセスすることができる。よって、従来、同時にメモリアクセスできないために通信効率が悪かった共有メモリに比べ、主にメモリアクセスする領域をバンク別に分けた通信コントローラ2. 1~2. nと本発明による共有メモリ1とにより、メモリアクセスを待たされることが少なくでき、通信効率を上げることができる。

【0031】更に、バスリクエスト生成部131. 1~131. nは、通信コントローラ2. 1~2. nが隣接するアドレスに複数ワード単位でメモリアクセスするいわゆるバーストアクセス時には、バーストアクセスが終了するまでバスリクエスト信号34を出力し続ける。この場合、通信コントローラ2. 1~2. nが主にアクセスするアドレス空間と、バーストアクセスする空間は一致し、その様に設定されている。

【0032】尚、バーストアクセスの終了は次の様にして検出可能である。バーストアクセスによるデータ転送の期間は、DMAバス中の制御信号であるアクセス要求信号がアクティブになっている様なシステムでは、このアクセス要求信号のアクティブ状態を検出して非アクティブになったときに、アクセス終了（データ転送の終了）と見なすことが可能である。

【0033】図4に示したアドレス設定によりバンクをまたがってアクセスすることがないため、バスリクエスト信号34を出力し続けても問題がない。よって、従来の共有メモリの1ワード毎にアクセスするメモリ空間を決定、競合制御する方式に比較し、バーストアクセスを継続させる本発明による共有メモリにより、1ワード毎のバスリクエストによる無駄なサイクルを減らし、アクセスを高速化することができる。

## 【0034】

【発明の効果】第1の効果は、通信コントローラが同時に共有メモリにアクセスした場合、アクセスを待たせる頻度を少なくすることができる。

## 6

【0035】その理由は、共有メモリをバンク別に分け、あるバンクが使用中でも他のバンクにはアクセスが可能な機能を有するため、通信コントローラの主にアクセスするアドレス領域をバンク別に分ける設定との組合わせにより、アクセスが待たされる頻度を減らすことができる。

【0036】第2の効果は、通信コントローラが連続した複数ワードを共有メモリへリード/ライトするバースト転送時に、高速にアクセスできる。

10 【0037】その理由は、バースト転送が終了するまで共有メモリへのアクセス権を与え続ける機能を有するためアクセスを高速化することができる。

## 【図面の簡単な説明】

【図1】本発明の実施例のシステム全体の構成を示すブロック図である。

【図2】図1における競合制御・バスゲート部の構成を示すブロック図である。

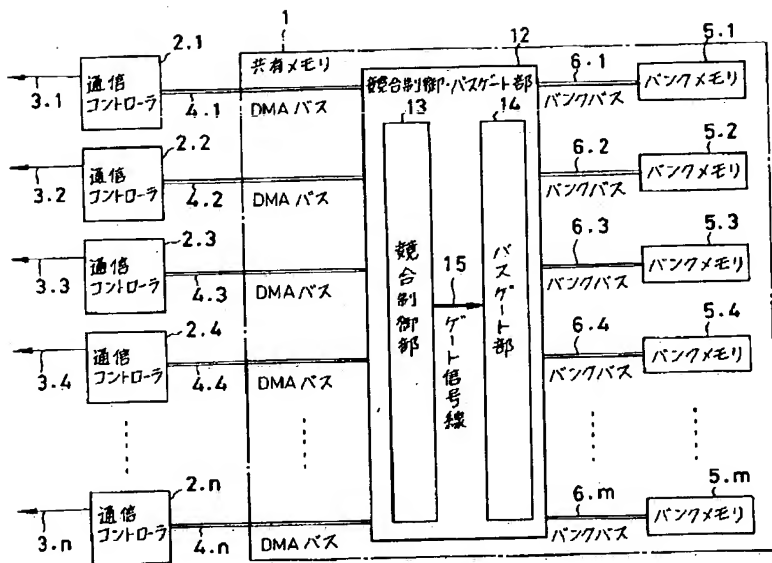
20 【図3】バスリクエストの選択からバスリクエスト許可信号、ゲート信号の出力までを示したフローチャートである。

【図4】バンクメモリとアドレスの関係を示すメモリマップを示す図である。

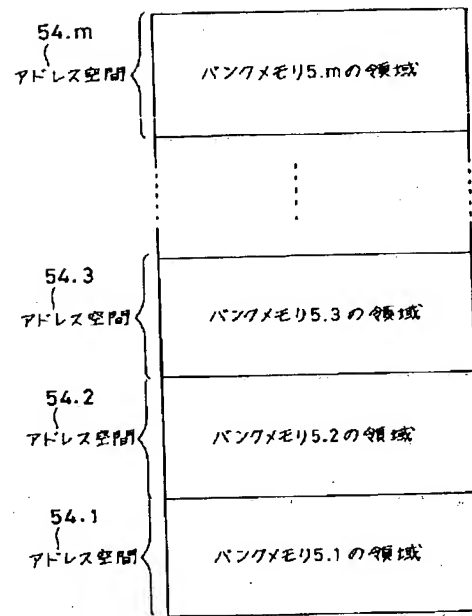
## 【符号の説明】

- 1 共有メモリ
- 2. 1~2. n 通信コントローラ
- 3. 1~3. n 通信回線
- 4. 1~4. n DMAバス
- 5. 1~5. m メモリバンク
- 6. 1~6. m バンクバス
- 30 12 競合制御・バスゲート部
- 13 競合制御部
- 14 バスゲート部
- 15 ゲート信号線

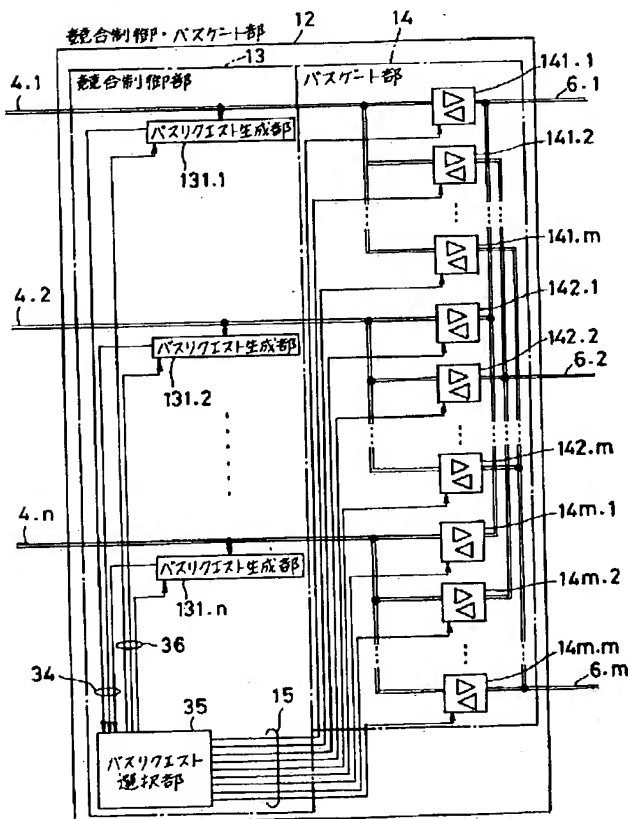
【図1】



【図4】



【図2】



【図3】

